

Masterarbeit

Modellierung von Halbleiterfabriken mit zeitdiskreten Warteschlangenmodellen

Zur Analyse und Bewertung von Halbleiterfabriken werden häufig simulationsbasierte Modelle eingesetzt, da sie sehr präzise Ergebnisse liefern. Diese Simulationsmodelle sind jedoch in der Regel rechen- und zeitintensiv, insbesondere bei umfangreichen Szenarien oder Sensitivitätsanalysen. Queueing Networks stellen eine alternative Modellierungsmethode dar, die – bei deutlich geringerer Rechenzeit – die Variabilität von Ankunfts- und Prozesszeiten explizit berücksichtigt und fundierte Aussagen über Systemverhalten und Engpässe ermöglicht.

Ziel:

Ziel dieser Arbeit ist es, bestehende zeitdiskrete Warteschlangenmodelle zur Abbildung von Halbleiterfabriken hinsichtlich ihrer Modellierungsgrenzen zu untersuchen. Dabei sollen insbesondere Prozesse und Abhängigkeiten identifiziert werden, die bislang nicht oder nur unzureichend berücksichtigt werden, wie beispielsweise *Sequence-Dependent Setup Times*. Aufbauend auf diesen Erkenntnissen soll die zeitdiskrete Warteschlangenanalyse erweitert werden, um diese Prozesse und Abhängigkeiten analytisch abzubilden.

Aufgabe:

- Systematische Literaturrecherche zu bestehende Ansätze zeitdiskreter Warteschlangenmodelle
- Weiterentwicklung der zeitdiskreten Warteschlangenanalyse zur Abbildung bislang unzureichend berücksichtigter Prozesse und Abhängigkeiten
- Evaluierung des Modells durch Vergleich mit einem Simulationsmodell
- Diskussion der Ergebnisse und Ausblick auf die Integration weiterer relevanter Prozesse in das Modell

Anforderungen:

- Gute Studienleistungen und engagiertes Arbeiten,
- Programmiererfahrung sind von Vorteil

Geboten:

- Eine spannende Arbeit an einem aktuellen Forschungsthema mit eigenen Gestaltungsmöglichkeiten
- Verfassen der Arbeit auf Deutsch oder Englisch.
- Möglichkeit der Publikation der Ergebnisse in einem anerkannten wissenschaftlichen Fachjournal

Forschungsbereich:

Logistics, Operations management, Algorithms & Design

Ausrichtung:

- ☐ Experimentell
- ☒ Theoretisch
- ☐ Praktisch
- ☐ Simulation

Studiengang:

- ☒ Maschinenbau
- ☒ Elektrotechnik
- ☒ Informatik
- ☒ Informationswirtschaft
- ☒ Wirtschaftsingenieurwesen

Beginn: Nach Absprache

Ausschreibungsdatum:

30.10.2026

Ansprechpartner im IFL:

Christophe Senger,
Laura Altmann,
Tobias Bosse
christophe.senger@kit.edu
laura.altmann@kit.edu
tobias.bosse@partner.kit.edu